

UNIVERSIDADE FEDERAL DO RIO GRANDE DO NORTE

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

Ana Carolina Cabral Pimentel de Melo

ESTUDO COMPARATIVO DE COMPARADORES CMOS EM
TECNOLOGIA 0.5 μ m

NATAL

2017

Ana Carolina Cabral Pimentel de Melo

ESTUDO COMPARATIVO DE COMPARADORES CMOS EM
TECNOLOGIA 0.5 μ m

Trabalho de conclusão de curso apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Norte em cumprimento às exigências legais e requisito parcial à obtenção do título de Bacharel em Engenharia Elétrica.

Professor Orientador: Vincent Marie Patrick Bourguet

NATAL

2017

Ana Carolina Cabral Pimentel de Melo

ESTUDO COMPARATIVO DE COMPARADORES CMOS EM
TECNOLOGIA 0.5 μ m

Trabalho de conclusão de curso apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Norte em cumprimento às exigências legais e requisito parcial à obtenção do título de Bacharel em Engenharia Elétrica.

Trabalho aprovado em 24 de novembro de 2017 pela banca examinadora:

Prof. Dr. Vincent Marie Patrick Bourguet
Orientador

Prof. Dr. Valentin Obac Roda
Examinador

Prof. Dr. Diomadson Rodrigues Belfort
Examinador

Prof. Me. Antônio Wallace Antunes Soares
Examinador

NATAL

2017

Agradecimentos

Ao meu orientador, Prof. Dr. Vincent Bourguet, minha eterna admiração e respeito por ser esse exímio profissional, sempre esforçado em transmitir seus conhecimentos com muita paciência e dedicação. Agradeço por sempre se mostrar à disposição para ajudar, opinar e incentivar, e por ter acreditado na minha capacidade desde o começo.

Agradeço a todos os outros professores que se dedicam à vocação com amor, paciência e respeito. Muitos serão lembrados com um carinho especial. E aos amigos da faculdade, em especial os amigos de curso Lorena, Lucas, Matheus e Samael, por todo apoio e motivação, indispensáveis para a conclusão dessa etapa da minha vida.

Às minhas irmãs de "coração" que sempre estiveram ao meu lado nos momentos mais difíceis (e bons também). Ana Beatriz e Luisa, podem ter certeza que durante algum momento durante esta jornada vocês me ajudaram e confortaram de alguma forma.

E, finalmente, um agradecimento especial aos meus pais, Solange e Orlando, e à minha avó, Judith, pelos ensinamentos de vida, construção do meu caráter e por sempre me estenderem a mão. Esta vitória pertence a vocês também.

Sumário

Agradecimentos	4
Lista de figuras	6
Lista de tabelas	7
Resumo	8
Abstract	9
1. INTRODUÇÃO	10
2. CARACTERÍSTICAS DOS COMPARADORES	12
2.1 Características estáticas	12
2.2 Características dinâmicas	14
3. CIRCUITOS REALIZADOS	15
3.1 Conversor A/D Rampa Simples	16
3.2 Comparador de três estágios	17
3.3 Comparador baseado em amplificador	18
3.4 Design dos Layouts	19
3.5 Circuito de polarização	20
3.6 Layouts completos	22
4. RESULTADOS E DISCUSSÃO	24
4.1 Análise estática – Simulação DC	24
4.2 Análise dinâmica – Simulações TRAN e AC	27
4.3 Análise de CORNERS	30
5. CONSIDERAÇÕES FINAIS	35
REFERÊNCIAS BIBLIOGRÁFICAS	36

Lista de figuras

Figura 1: Símbolo de um comparador não-inversor	12
Figura 2: Característica de transferência ideal	12
Figura 3: Característica de transferência real aproximada	13
Figura 4: Atraso de propagação	14
Figura 5: Característica de transferência com histerese	15
Figura 6: Conversor rampa Simples	16
Figura 7: Comparador de três estágios	17
Figura 8: Comparador baseado em amplificador	19
Figura 9: <i>Layouts</i>	20
Figura 10: Circuito de polarização	21
Figura 11: <i>Layout</i> do circuito de polarização	22
Figura 12: <i>Layouts</i> completos	22
Figura 13: Análise DC	24
Figura 14: Configuração buffer	26
Figura 15: Derivada do sinal de saída (ICMR)	26
Figura 16: Análise transiente	27
Figura 17: Histerese	29
Figura 18: Análise AC	30
Figura 19: Análise DC – <i>Corners</i>	31
Figura 20: Análise transiente – <i>Corners</i>	32

Lista de tabelas

Tabela 1: Especificações do Conversor A/D	16
Tabela 2: Especificações do Comparador	17
Tabela 3: Dimensões dos transistores no comparador de 3 estágios	18
Tabela 4: Dimensões dos transistores para o comparador baseado em amplificador	19
Tabela 5: Dimensões circuito de polarização	21
Tabela 6: Parâmetros DC medidos	25
Tabela 7: Tempos de propagação medidos	28
Tabela 8: Resultado Análises <i>Corners</i>	33
Tabela 9: Resumo dos resultados	34

Resumo

Comparadores são componentes essenciais em circuitos de conversão analógico-digital. O presente trabalho apresenta o estudo de duas topologias de comparadores realizadas em tecnologia CMOS 0.5 μ m utilizando o software Cadence Virtuoso. O estudo proposto é parte do projeto de um conversor A/D rampa simples de 9 bits realizado no LIME (Laboratório de Instrumentação e Microeletrônica), entidade do núcleo de Pesquisa e Inovação em Tecnologia da Informação (nPITI) do IMD. O conversor deverá se conformar às seguintes especificações: tensão de alimentação de 5V, taxa de amostragem de 125 μ s, fundo de escala de 2,56V e passo de quantização de 5mV.

Palavras-chave: Comparador de tensão. Circuitos integrados CMOS. Conversor A/D rampa simples.

Abstract

Comparators are essential building blocks in ADC design. This paper presents two comparator topologies designed in 0.5 μ m CMOS technology using Cadence Virtuoso software. The proposed study is part of a 9 bits integrating ADC project that is being designed at LIME lab. of nPITI/UFRN (Laboratório de Instrumentação e Microeletrônica). Specs for the converter are a 5V supply voltage, 125 μ s sampling rate, 2,56V full-scale voltage and a 5mV quantization step.

Key-words: Voltage Comparator. CMOS Integrated Circuits. Integrating ADC.

1. INTRODUÇÃO

Um dos circuitos mais importantes necessários em muitos circuitos integrados analógicos é o comparador, sendo o segundo dispositivo mais utilizado em circuitos eletrônicos após o Amplificador Operacional (Dhal & Pradhan, 2013). É um circuito utilizado para comparações entre dois sinais elétricos, que produz um sinal binário com base na diferença destes sinais.

O comparador é amplamente utilizado no processo de conversão de sinais analógicos para sinais digitais. Em um conversor do tipo flash, por exemplo, primeiramente amostra-se o sinal de entrada, e o sinal amostrado é então comparado com diferentes valores para determinar o sinal digital equivalente ao sinal analógico. De maneira simplista, o comparador pode ser considerado como um conversor analógico-digital de um bit (Allen & Hilderg, 2002).

Nas suas diversas aplicações, os comparadores requerem alta velocidade (banda passante), alto ganho, baixa tensão de offset, ou ainda um tempo de propagação reduzido. Outras especificações importantes incluem a faixa de entrada de modo comum ou o consumo de energia, principalmente em topologias de conversores A/D (ADC) que requerem um grande número de comparadores.

Algumas outras aplicações além da conversão A/D incluem deslocador de nível, oscilador de relaxação, detector de janela (Nanda, 2015), detectores de pico, detectores de passagem por zero, motores operacionais BLDC, reguladores de comutação (Dhal & Pradhan, 2013), geradores de função, detector de sinal (Shar, 2007), entre outros.

Comparadores podem ser classificados de acordo com sua natureza, funcionalidade ou tipo de entrada, como por exemplo, comparadores de tensão ou corrente, e podem ser divididos em comparadores de malha-aberta (*open-loop*) ou regenerativos. Os de malha aberta são basicamente amplificadores operacionais sem compensação, no intuito de não limitar a largura de banda. Entretanto, ainda apresentam um produto ganho-banda limitado, que os tornam lentos para a maioria das aplicações. Os regenerativos utilizam realimentação positiva, tipicamente através de um *latch*, para realizar a comparação da magnitude entre dois sinais. Um terceiro tipo é proveniente da combinação destes, resultando em um comparador de alta velocidade e menor atraso de propagação (Allen & Hilderg, 2002; Ritu & Ahlawat, 2014).

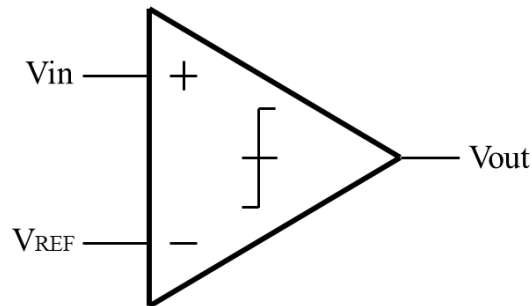
Nesse trabalho foram projetadas duas topologias de comparadores em tecnologia CMOS, com alimentação 5V e circuito de polarização dedicado. Os circuitos foram projetados no ambiente Virtuoso da Cadence, enquanto a verificação física foi feita no Calibre da Mentor Graphics. Além disso, foi escolhida a tecnologia 0.5 μm da ON Semiconductors disponibilizada gratuitamente pela MOSIS por ser uma tecnologia particularmente adequada para projetos educacionais.

O trabalho encontra-se dividido da seguinte maneira: a segunda seção do trabalho discorre sobre o comparador, suas funcionalidades e características. A terceira e quarta seções cobrem a implementação das duas topologias estudadas e os resultados obtidos através das simulações, respectivamente. Por fim, temos as considerações finais e referências bibliográficas que auxiliaram a elaboração do trabalho.

2. CARACTERÍSTICAS DOS COMPARADORES

O comparador de tensão é um circuito que provê um sinal de saída que indica se a tensão de entrada é maior ou menor que certa tensão de referência. De forma equivalente, determina o sinal de uma diferença de tensão. A saída assume, portanto, um nível “alto” ou “baixo” dependendo do valor relativo das duas entradas (Ndjountche, 2011).

Figura 1: Símbolo de um comparador não-inversor

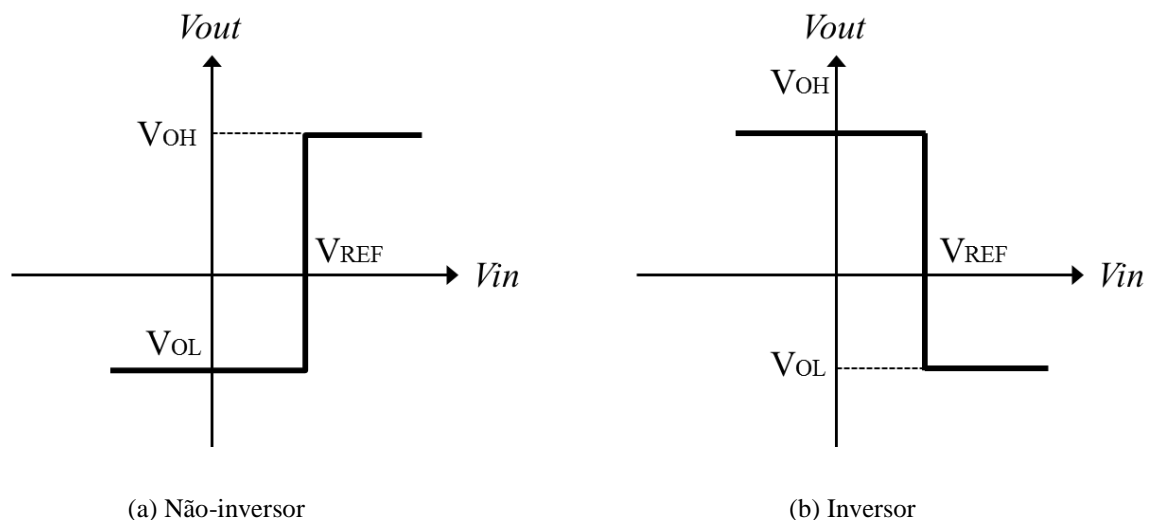


Fonte: Adaptado de (Allen & Hilderg, 2002)

2.1 Características estáticas

A Figura 1 mostra o símbolo de um comparador não-inversor. Sua característica de transferência ideal é apresentada na figura 2a. Idealmente temos uma região de ganho infinito e a transição entre os estados ocorre quando a diferença entre as entradas é zero ($V_{IN} = V_{REF}$).

Figura 2: Característica de transferência ideal



Fonte: (Allen & Hilderg, 2002)

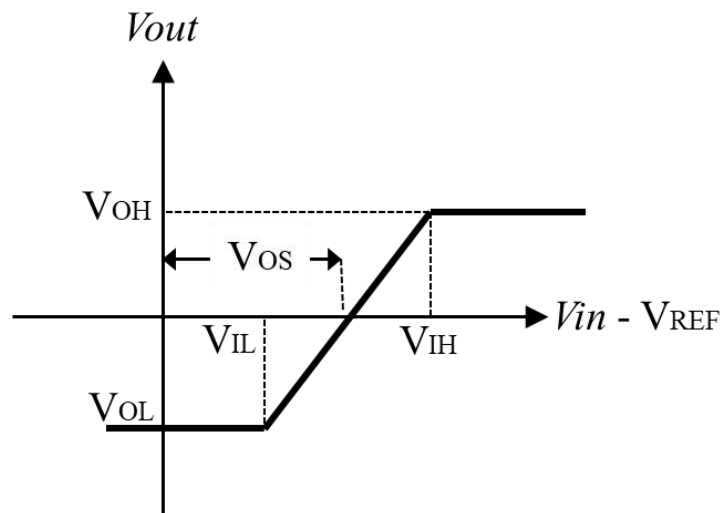
A saída do comparador assume o nível lógico alto quando a diferença entre as entradas inversora e não inversora é positiva ($V_{IN} > V_{REF}$), e nível lógico baixo quando esta diferença é negativa ($V_{IN} < V_{REF}$), para o caso da configuração não-inversora. Existe também a

configuração inversora, cuja característica de transferência é apresentada na figura 2b, e se comporta da maneira contrária, sua saída assume nível lógico alto quando a diferença entre as entradas inversora e não inversora é negativa ($V_{IN} < V_{REF}$), e nível lógico baixo quando esta diferença é positiva ($V_{IN} > V_{REF}$).

Esses dois estados da saída são eletricamente representados por valores de tensão V_{OH} e V_{OL} , respectivamente, e usualmente são definidos pela entrada do circuito digital que sucede o comparador, onde os níveis V_{OH} e V_{OL} devem se adequar aos níveis V_{IH} e V_{IL} do próximo estágio. Para a tecnologia CMOS, esses valores são usualmente 70% e 30%, respectivamente, da tensão de alimentação pico-a-pico (Allen & Hilderger, 2002).

Infelizmente, comparadores reais sofrem algumas não idealidades. A figura 3 mostra uma aproximação de primeira-ordem da característica de transferência de um comparador real e permite introduzir alguns parâmetros importantes.

Figura 3: Característica de transferência real aproximada



Fonte: (Allen & Hilderger, 2002)

Como pode ser observado, em comparadores reais a transição entre os níveis baixo e alto da saída não se faz de forma abrupta. Por exemplo, na configuração não-inversora, a saída pode ser descrita da seguinte maneira:

$$V_o = \begin{cases} V_{OH} & \text{para } V_{in} - V_{REF} > V_{IH} \\ A_v(V_P - V_N) & \text{para } V_{IL} \leq V_{in} - V_{REF} \leq V_{IH} \\ V_{OL} & \text{para } V_{in} - V_{REF} < V_{IL} \end{cases}$$

onde V_{IL} e V_{IH} denotam os limites de tensão na entrada para haver o nível baixo ou alto na saída, respectivamente. Existe então uma região linear caracterizada por um ganho A_v , dado por:

$$A_v = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}} = \frac{V_{OH} - V_{OL}}{\Delta V}$$

O ganho é uma característica primordial que define a resolução $\Delta V = V_{IH} - V_{IL}$ do comparador, ou seja, a mínima diferença de entrada que faz a saída alternar entre os dois estados binários.

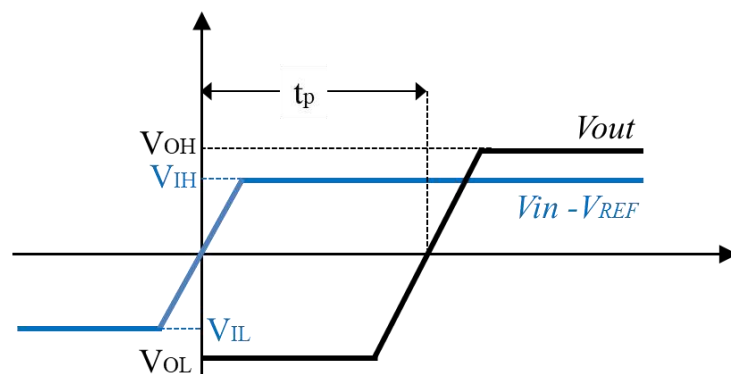
Outra não idealidade observada a partir da figura 2, é a chamada tensão de offset, V_{OS} , definida pelo valor da tensão diferencial de entrada $V_{IN} - V_{REF}$ que zera a saída. Idealmente, $V_{OS} = 0$, mas efeitos como o mau casamento entre transistores podem levar a V_{OS} na ordem de alguns μV até alguns mV.

A faixa de entrada de modo comum (ICMR) para um comparador também é importante. É o intervalo de tensão de entrada de modo comum sobre o qual o comparador funciona normalmente, ou seja, onde todos os transistores operam na região de saturação (Allen & Hilderger, 2002).

2.2 Características dinâmicas

A principal característica dinâmica de um comparador é seu tempo de propagação t_p . Como ilustrado na figura 4, este corresponde ao tempo necessário para que uma mudança na entrada gere uma mudança de nível lógico na saída. É um parâmetro muito importante, uma vez que usualmente limita a frequência do sinal de entrada.

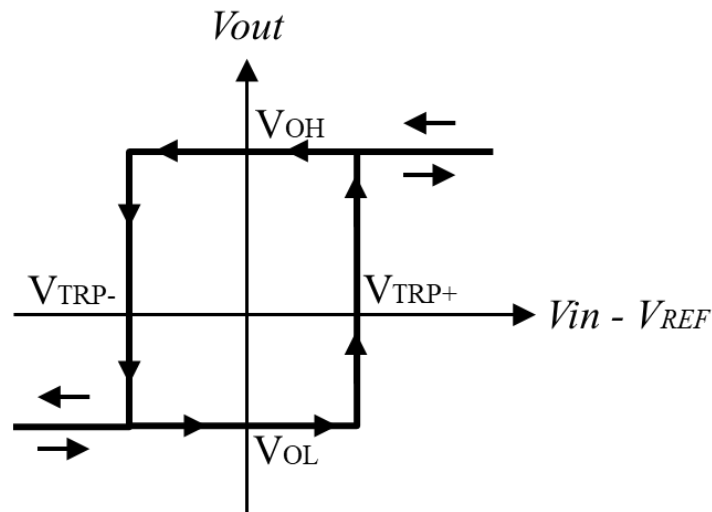
Figura 4: Atraso de propagação



O tempo de propagação considerado normalmente é $t_P = (t_{P_{HL}} + t_{P_{LH}})/2$ onde t_{PLH} é tempo de propagação quando a saída muda de nível baixo para alto e t_{PHL} de nível alto para baixo.

Além disso, o comparador pode apresentar uma característica dinâmica denominada histerese, que ocorre quando o limite de comutação para as transições de alta para baixa das tensões de entrada é diferente do limiar para sinais que mudam na direção oposta, como observado na figura 5. Essa característica se mostra interessante ao ajudar a reduzir múltiplas transições na saída quando ocorrem mudanças de estado (Kulkarni, 2005).

Figura 5: Característica de transferência com histerese



Fonte: (Kulkarni, 2005)

Realimentação positiva permite adicionar histerese à característica DC do comparador evitando assim problemas de chaveamentos sucessivos quando o sinal de entrada é ruidoso. No entanto, histerese também pode resultar de capacitâncias parasitas internas e se torna então uma não-idealidade dinâmica do circuito (Tang, 2012).

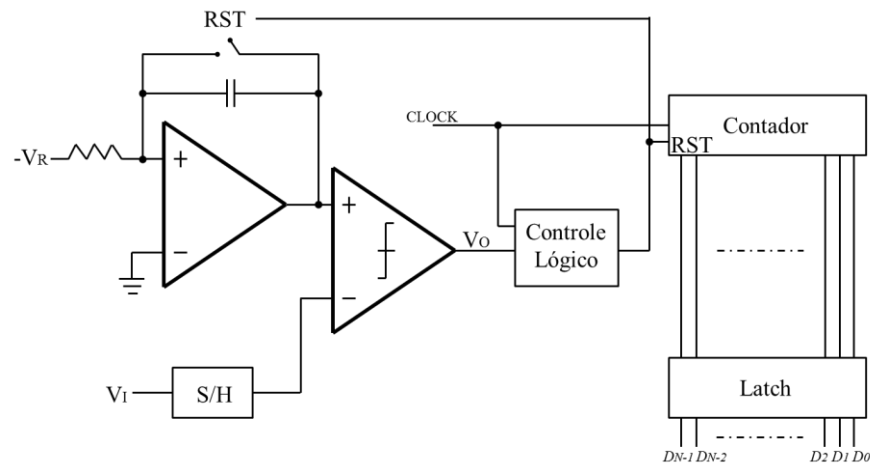
3. CIRCUITOS REALIZADOS

Neste trabalho, foram projetadas duas topologias diferentes de comparadores integrados CMOS, no intuito de selecionar uma delas para uso em um conversor A/D de rampa simples. A seguir, uma breve explicação do funcionamento deste conversor, bem como as especificações requeridas para o projeto dos comparadores.

3.1 Conversor A/D Rampa Simples

O conversor rampa simples é um conversor de tipo integrador, com operação simples e de baixo custo. A conversão por integração possui um tempo de conversão longo, mas este tipo de ADC possui boa linearidade, que garante erros de ganho e de desvio muito baixos.

Figura 6: Conversor rampa Simples



Fonte: Brito Bezerra, 2012

O sinal de referência $-V_R$ é integrado, gerando uma função rampa, que é comparada com o sinal de entrada V_I aplicado na entrada negativa do comparador. O contador é continuamente incrementado enquanto o sinal integrado for menor que o sinal de entrada. A contagem é finalizada quando a comparação muda de estado, ou seja, quando o sinal integrado passa a ser maior que o sinal de entrada, e o valor da contagem dos pulsos é a representação digital do sinal de entrada analógico, que é enviado para uma unidade de armazenamento (Brito Bezerra, 2012).

As especificações do conversor considerado neste trabalho são mostradas na tabela 1. O contador respeitará um período de relógio de 125ns, que corresponde ao tempo de conversão dividido por 2^N .

Tabela 1: Especificações do Conversor A/D

Resolução	$N = 9$ bits
Fundo de Escala	$V_{FS} = 2.56$ V
V_{DD} / V_{SS}	5V / 0V
Frequência de Amostragem	$F_a = 8$ ks/s ($T_a=125\mu$ s)
Período de Relógio	125 ns
Tempo de Conversão	64 μ s
Tempo Ocioso	61 μ s

Logo, o comparador deverá respeitar as especificações definidas na tabela 2. No caso, a resolução do comparador, bem como sua tensão de offset, deverão ficar abaixo do passo de quantização dado por $V_{FS}/2^N$, ou seja, 5mV. Além disso, o tempo de propagação deverá ser mantido abaixo do período de relógio para que o contador não venha a ultrapassar o valor correspondente ao sinal analógico presente na entrada do conversor.

Tabela 2: Especificações do Comparador

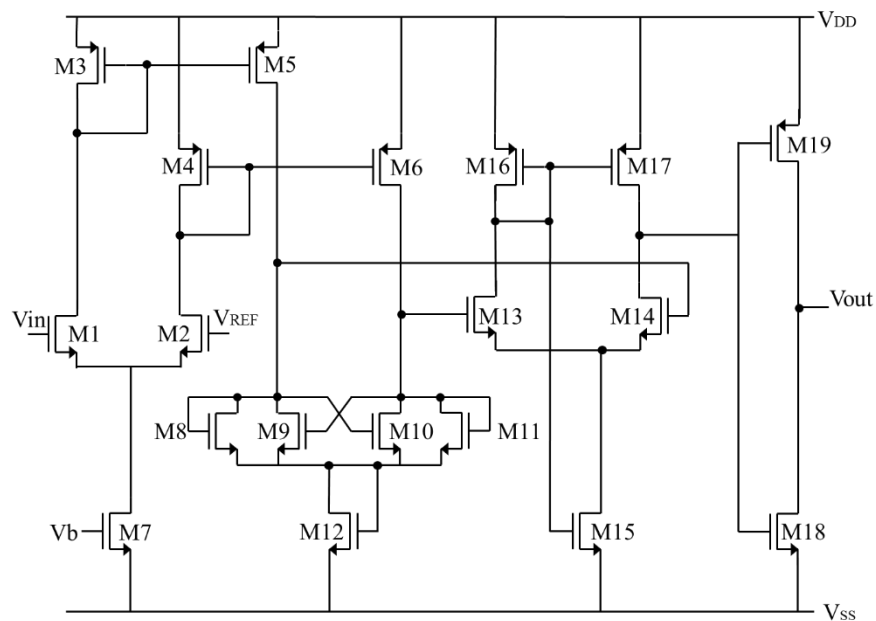
Resolução do Comparador	< 5mV
Tensão de Offset	< 5mV
Tempo de Propagação	< 125 ns

A seguir, são apresentadas as duas topologias que foram estudadas.

3.2 Comparador de três estágios

A primeira arquitetura implementada é mostrada na figura 7. Esta consiste em três estágios de amplificação e um buffer de saída (inversor).

Figura 7: Comparador de três estágios



Fonte: Baker, 2010

O primeiro estágio é um amplificador diferencial com carga ativa, composto pelos transistores M1 a M5, que amplifica o sinal de entrada, aprimorando a sensibilidade do comparador e isolando o sinal de entrada do ruído *kickback*. A tensão V_b é uma tensão de

polarização fornecida pelo um circuito dedicado. O ganho deste estágio é determinado pela transcondutância de M1 e M2, enquanto a capacitância de entrada é determinada pelo tamanho desses mesmos transistores.

O segundo estágio (M8 a M11) determina qual das entradas é a maior e deve ser capaz de discriminar sinais em milivolts. Para tanto, é necessário aumentar o ganho do estágio através de realimentação positiva, realizada aqui pela conexão cruzada dos gates de M9 e M10. Por sua vez, o transistor M12 permite deslocar o nível DC na saída deste estágio e adequá-lo à faixa de modo comum do estágio seguinte.

O último estágio é composto por um amplificador diferencial com saída de terminação única (M13 a M17), amplifica mais uma vez o sinal e o transforma em um sinal digital. Por fim, temos um inversor (M18 a M19) que fornece a corrente suficiente para carregar a capacitância de carga e evitar assim problemas de *slew-rate*.

As dimensões de todos os transistores são informadas na tabela 3.

Tabela 3: Dimensões dos transistores no comparador de 3 estágios

Transistores	W (μm)	L (μm)
M1, M2, M5, M8-M14, M18	6	1.2
M3, M4, M6, M7, M19	9	1.2
M16-M17	18	1.2

3.3 Comparador baseado em amplificador

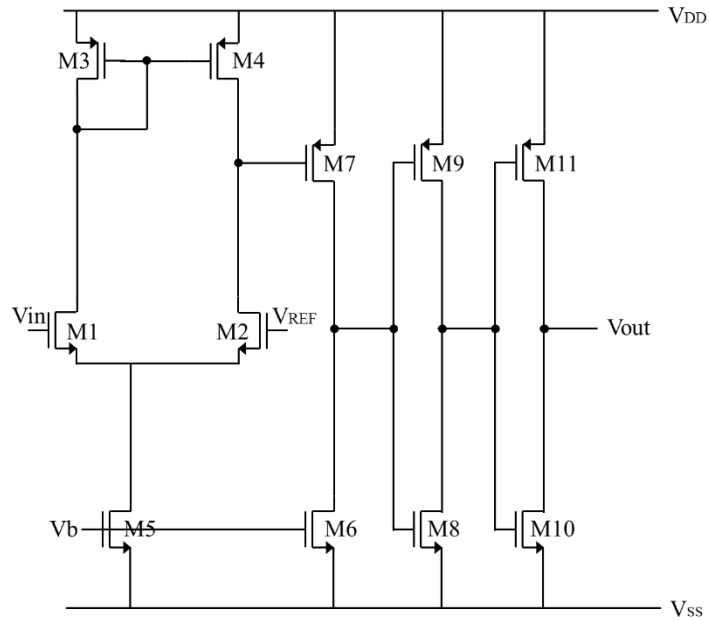
A segunda topologia que foi implementada é mostrada na figura 8 e consiste em um OTA de dois estágios seguido por dois inversores (Ndjountche, 2011).

O OTA é composto por um par diferencial com carga ativa e saída de terminação única (transistores M1-M5) e um estágio de fonte comum (M6-M7). Seu papel é fornecer o maior ganho possível para realizar a decisão. Observe que o OTA não inclui compensação uma vez que o comparador não se destina a ser utilizado com realimentação negativa. Desta maneira, podemos aumentar a velocidade de operação. Os inversores subsequentes participam da amplificação e como visto antes, permitem lidar com a carga capacitiva sem enfrentar problema de *slew-rate*.

A tensão de polarização, V_b , é fornecida pelo mesmo circuito dedicado utilizado no comparador de três estágios. O dimensionamento deste circuito foi realizado através de

simulações, com o objetivo reduzir a tensão de offset, e a tabela 4 apresenta as dimensões que foram finalmente escolhidas para os transistores.

Figura 8: Comparador baseado em amplificador



Fonte: Ndjountche, 2011

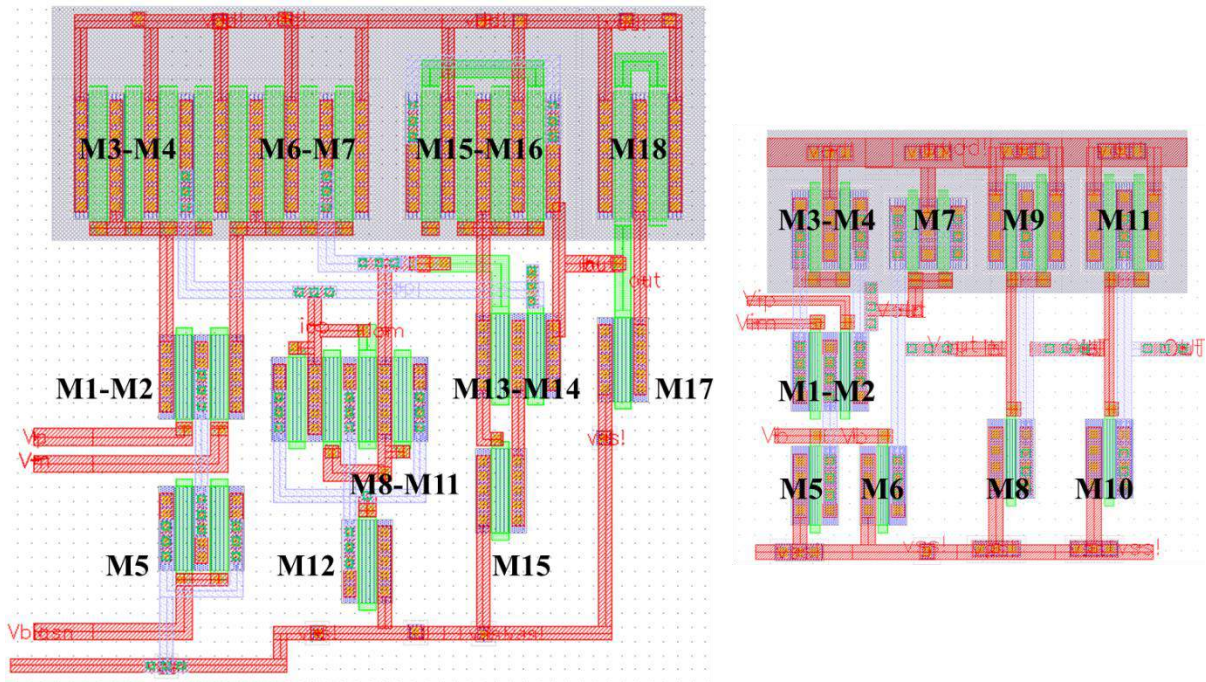
Tabela 4: Dimensões dos transistores para o comparador baseado em amplificador

Transistores	W (μm)	L (μm)
M1-M5, M6, M8, M10	5	0.6
M7	4.5	0.6
M9, M11	5.5	0.6

3.4 Design dos Layouts

A figura 9 mostra os *layouts* que foram projetados para os circuitos. Vale salientar que nesta figura, a camada de polisilício aparece em verde enquanto o vermelho representa o metal 1 e cinza, metal 2. O leiaute do comparador de três estágios ocupa $2220 \mu\text{m}^2$ enquanto a área do comparador baseado em amplificador é $730 \mu\text{m}^2$.

Figura 9: Layouts



(a) Comparador de três estágios

(b) Comparador baseado em amplificador

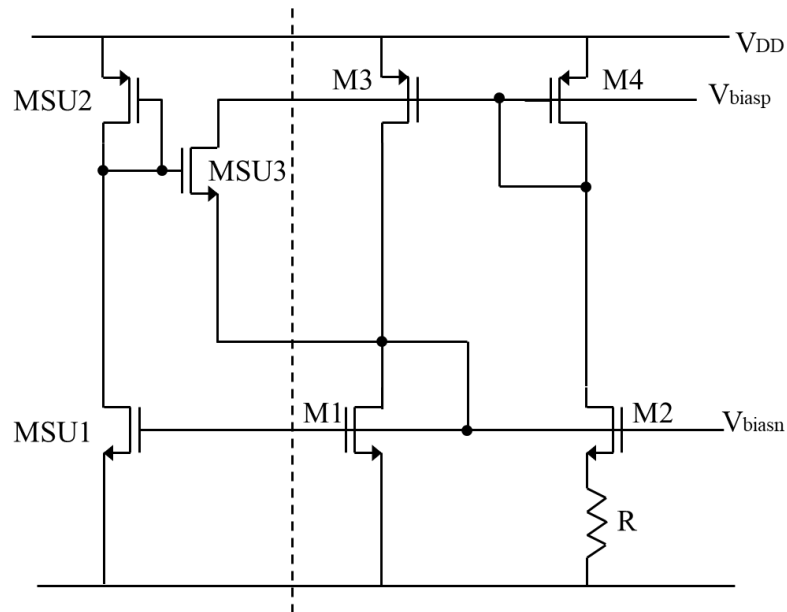
Quando possível, os transistores foram dobrados, reduzindo assim as capacitâncias parasitas bem como a resistência de porta. Além disso, procurou-se aprimorar o casamento entre os transistores uma vez que os circuitos constam com pares diferenciais ou espelhos de correntes nos quais o casamento é primordial. Para tanto, transistores sujeitos ao requisito de casamento foram aproximados ao máximo ou até organizado numa estrutura de centroide comum.

3.5 Circuito de polarização

Como visto anteriormente, a polarização dos circuitos fez-se através de um circuito dedicado, apresentado na figura 10. Seu objetivo é estabelecer uma tensão de referência contínua que seja independente da tensão de alimentação ou das variáveis de processo.

O circuito é composto por dois espelhos de corrente, transistores M1 a M4, com o resistor R para diminuir a influência da tensão de alimentação na referência de corrente. O circuito fornece duas tensões, mas foi utilizada somente a saída V_{biasn} .

Figura 10: Circuito de polarização



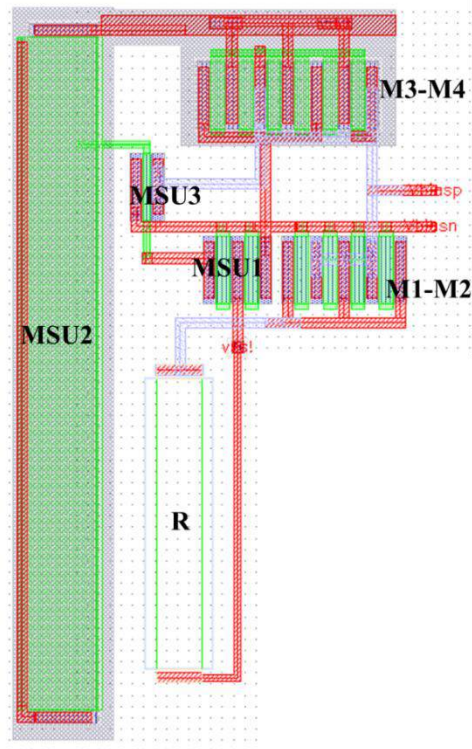
Fonte: Baker, 2010

Os transistores MSU1, 2 e 3 constituem um circuito de *start-up*, cujo objetivo é desencadear a inicialização do circuito quando a tensão de alimentação é fornecida, impedindo assim que o circuito se estabilize em um ponto de operação no qual nenhuma corrente flui pelo circuito.

O layout do circuito de polarização pode ser visto na figura 11, ocupando uma área de $2295.54\mu\text{m}^2$. As dimensões utilizadas para os transistores são anotadas na tabela 5, e o resistor utilizado foi de $6.5\text{k}\Omega$, de acordo com a referência (Baker, 2010).

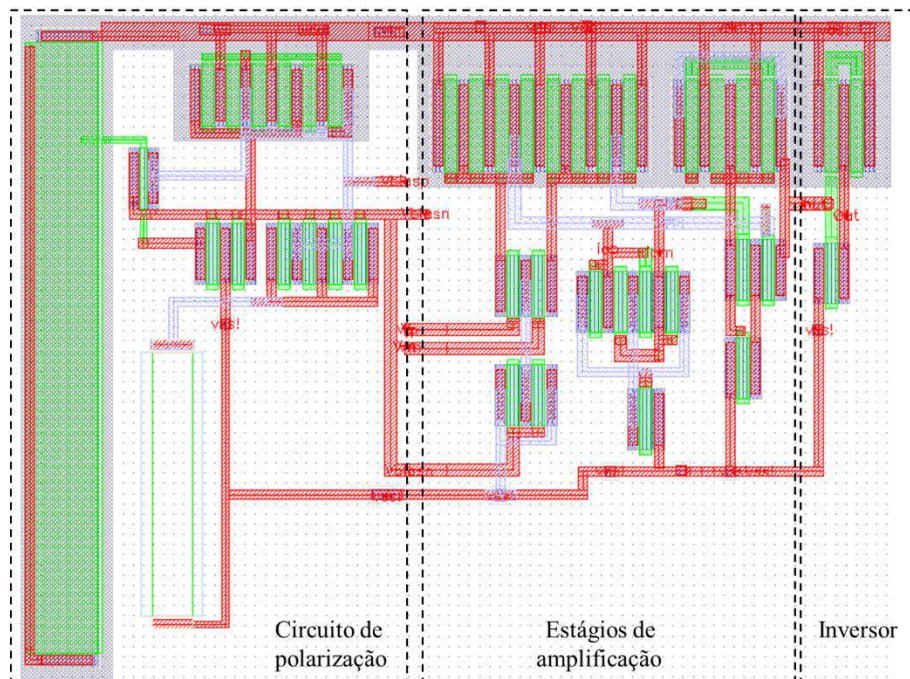
Tabela 5: Dimensões circuito de polarização

Transistor	W (μm)	L (μm)	Transistor	W (μm)	L (μm)
M1	6	1.2	MSU1	6	1.2
M2	24	1.2	MSU2	6	60
M3-M4	1.8	1.2	MSU3	6	0.6

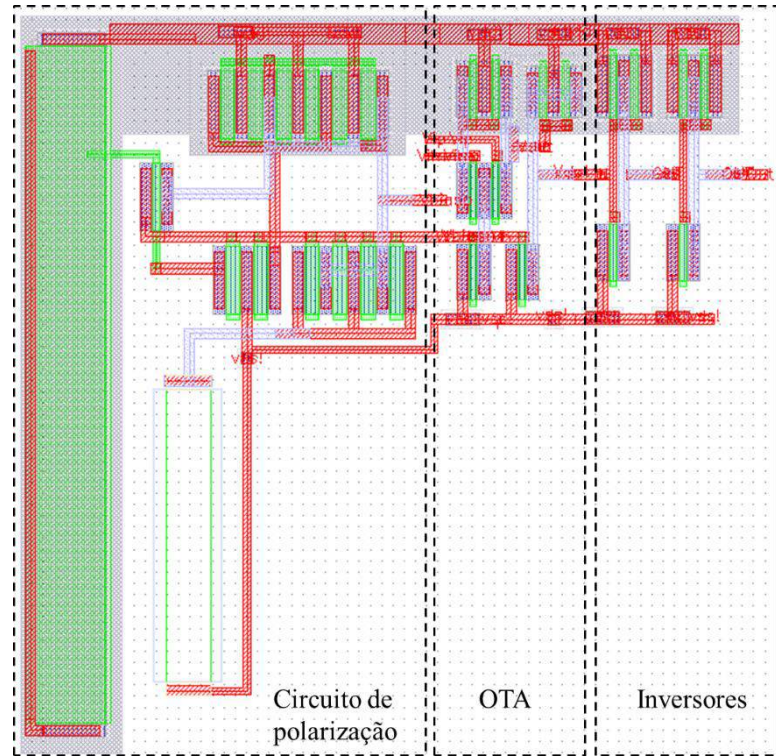
Figura 11: *Layout* do circuito de polarização

3.6 *Layouts* completos

Por fim, são apresentados a seguir os *layouts* dos circuitos completos (comparador juntamente com o circuito de polarização).

Figura 12: *Layouts* completos

(a) Comparador de três estágios



(b) Comparador baseado em amplificador

A primeira topologia ocupa uma área de $5578.6\mu\text{m}^2$ e a segunda de $4162.7\mu\text{m}^2$.

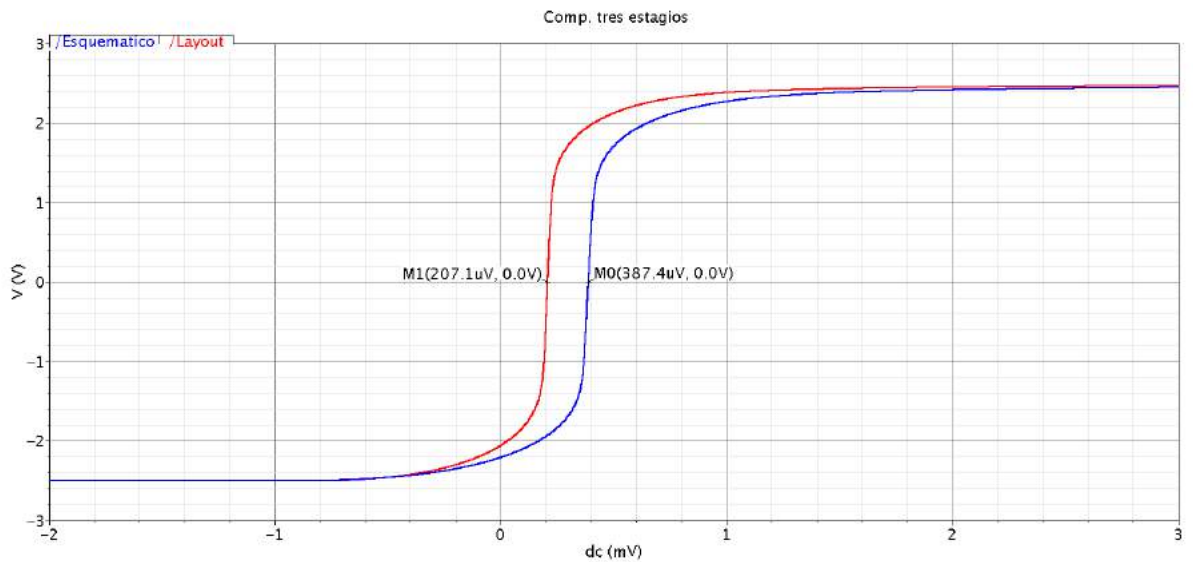
4. RESULTADOS E DISCUSSÃO

Apresentaremos a seguir os resultados das simulações que foram feitas com o intuito de se caracterizar os circuitos projetados. Em todos os experimentos, entende-se por tensão de entrada a tensão diferencial enquanto o modo comum na entrada é mantido a $(V_{DD}-V_{SS})/2$

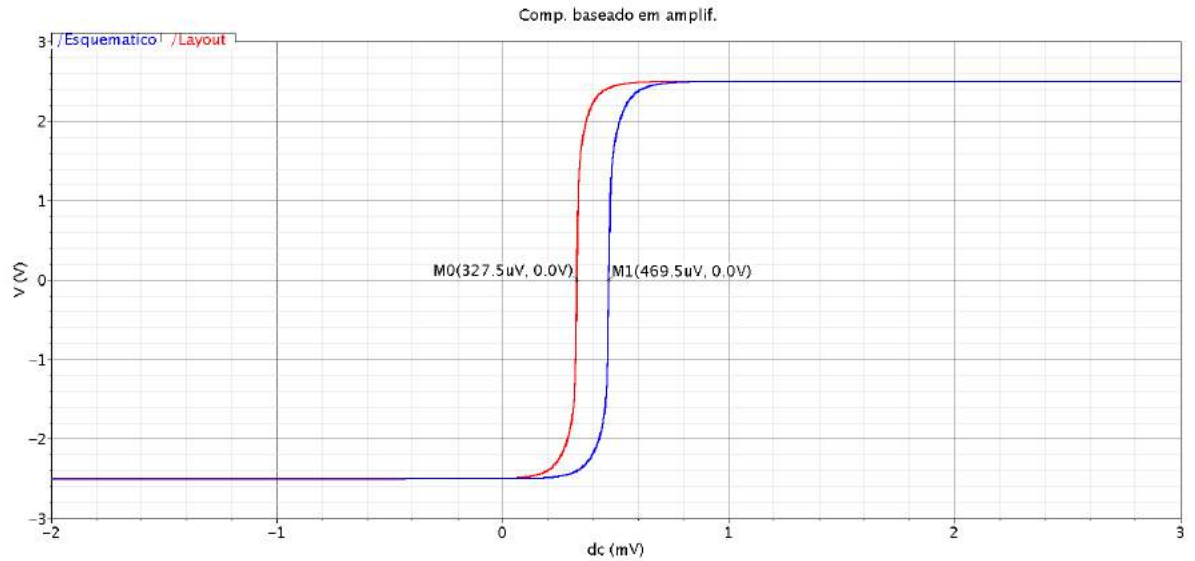
4.1 Análise estática – Simulação DC

A análise DC permite obter a característica de transferência do circuito a partir da qual, como visto anteriormente, pode se medir o ganho, a resolução e a tensão de offset. A figura 13 mostra as características de transferência dos dois circuitos considerados. Para medição da resolução, V_{IL} e V_{IH} foram medidos nos pontos de 30% e 70% da tensão de alimentação, como explicitado na seção II.

Figura 13: Análise DC



(a) Comparador de três estágios



(b) Comparador baseado em amplificador

As curvas em azul são os resultados dos circuitos esquemáticos e em vermelho das simulações após as extrações de parasitas. Para o comparador de três estágios temos uma tensão de offset $387.4\mu\text{V}$ para a simulação do esquemático e $207.1\mu\text{V}$ para a simulação pós-layout. Para o comparador baseado em amplificador, foi medido $469.5\mu\text{V}$ e $327.5\mu\text{V}$ para as mesmas simulações, respectivamente. Os valores obtidos para os diferentes parâmetros são dispostos na tabela 6.

Tabela 6: Parâmetros DC medidos

	Comp. de três estágios		Comp. baseado em amplif.	
	Esquemático	Layout	Esquemático	Layout
Tensão de offset (μV)	387.4	207.1	469.5	327.5
Resolução (μV)	41.4	32.9	12.5	11.2
Ganho (V/mV)	48.3	60.7	160	180.2

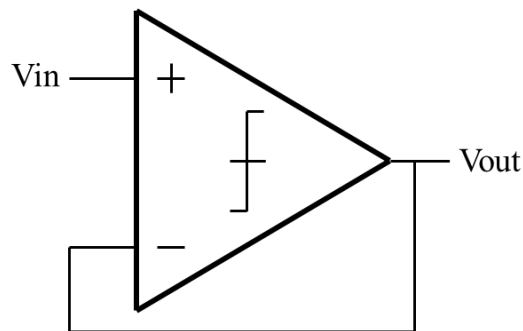
Vê-se que em termos de comportamento DC, o comparador baseado em amplificador tem desempenho melhor quanto à resolução e apresenta um maior ganho, porém apresenta uma tensão de offset maior. Seu dimensionamento foi feito empiricamente, com o objetivo de se aperfeiçoar seu desempenho, a partir de uma tensão de polarização considerada $V_b = V_{ss} + 1.5$. Ao inserirmos o circuito de polarização dedicado, foi possível perceber que o dimensionamento, ainda que garanta o funcionamento do circuito, é passível de complicações,

visto que a tensão de offset, projetada inicialmente para ser a menor possível, acabou sendo maior que na primeira topologia.

Através de uma simulação DC é possível analisar a faixa de entrada de modo comum (ICMR), com uma configuração buffer (realimentação negativa), mostrada na

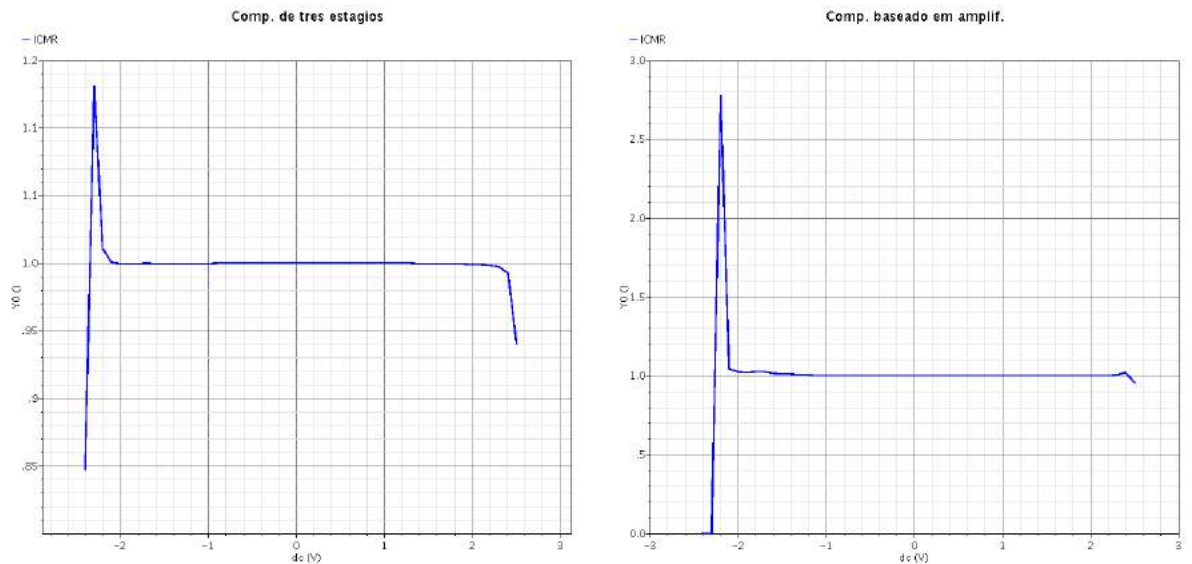
Figura 14, onde a saída deve ser igual à entrada.

Figura 14: Configuração buffer



A Figura 15 mostra os resultados obtidos da derivada do sinal de saída.

Figura 15: Derivada do sinal de saída (ICMR)



(a) Comparador de três estágios

(b) Comparador baseado em amplificador

Observa-se que a faixa de valores que garante o funcionamento normal do circuito (derivada do sinal de saída igual a 1) é de aproximadamente -2.1V a 2.1V e -1.4V a 2.2V na primeira e segunda topologia, respectivamente. Portanto, o ICMR do comparador de três estágios é ligeiramente melhor, pois abrange maiores valores.

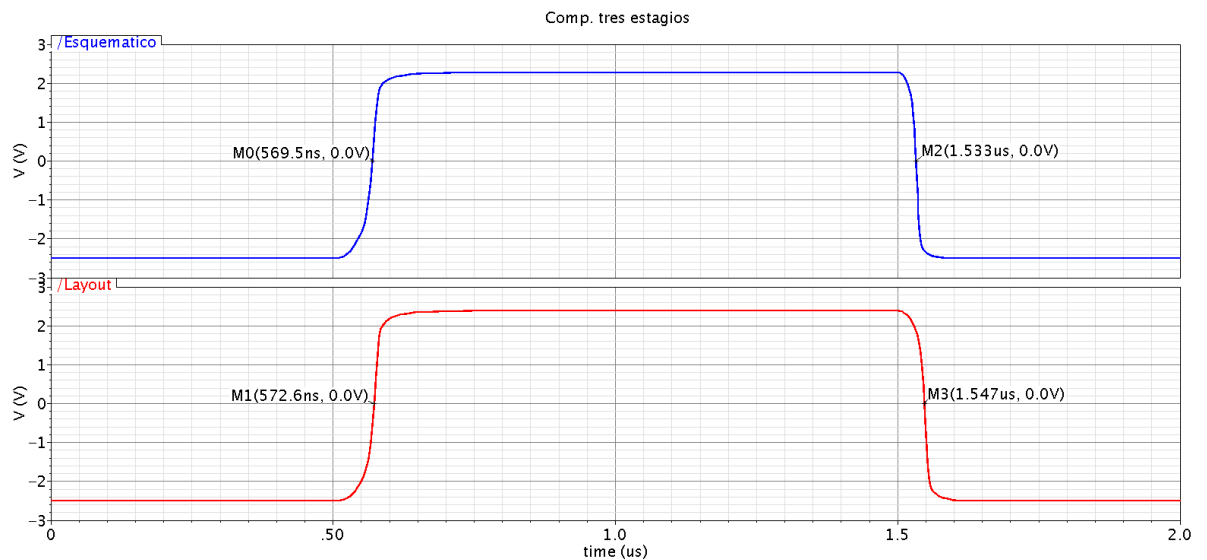
Por fim, foi medido o consumo de energia para as duas topologias. As correntes drenadas da fonte de alimentação durante uma simulação DC pós-layout foram de $942\mu\text{A}$ e $763.7\mu\text{A}$. No caso, o comparador de três estágios dissipa 4.7mW enquanto o baseado em amplificador dissipa 3.88mW .

4.2 Análise dinâmica – Simulações TRAN e AC

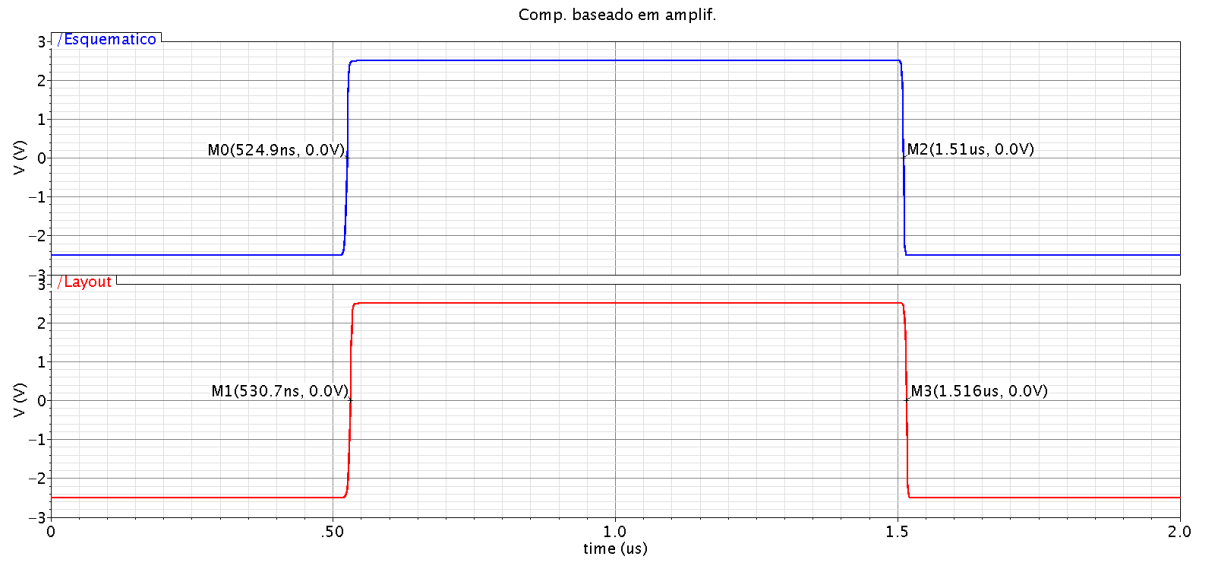
No intuito de se caracterizar o comportamento dinâmico dos circuitos, foi realizada inicialmente uma simulação TRAN. Esta fornece a resposta temporal do circuito e permite medir o tempo de propagação e a histerese dinâmica. A Figura 16: Análise transiente mostra as respostas de ambos os circuitos a uma tensão de entrada quadrada de $\pm 1\text{mV}$ e período $2\mu\text{s}$.

A partir deste experimento, foi medido o tempo de propagação e os resultados obtidos são mostrados na tabela 7. Observa-se novamente que o comparador baseado em amplificador tem desempenho melhor por apresentar um tempo de propagação menor, com 15.4ns para a simulação do circuito e 22.9ns para a simulação pós-*layout*. Já o comparador de três estágios apresentou um tempo de propagação de 50ns e 58.5ns , respectivamente.

Figura 16: Análise transiente



(a) Comparador de três estágios



(b) Comparador baseado em amplificador

Tabela 7: Tempos de propagação medidos

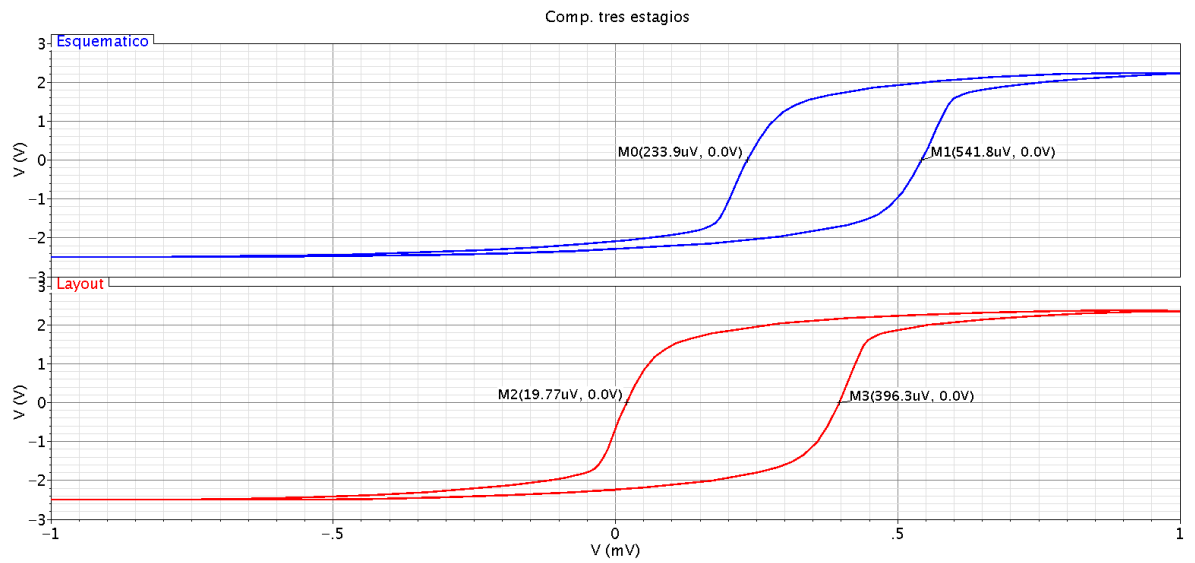
Topologia	Esquemático			Layout		
	t_{pLH} (ns)	t_{pHL} (ns)	t_p (ns)	t_{pLH} (ns)	t_{pHL} (ns)	t_p (ns)
Comp. de 3 estágios	69	31	50	72	45	58.5
Comp. baseado em amplif.	22.8	8	15.4	31.8	14	22.9

Para medição da histerese dinâmica, foi aplicada a tensão de entrada triangular também de $\pm 1\text{mV}$ e período $2\mu\text{s}$ e os resultados são mostrados na figura 17.

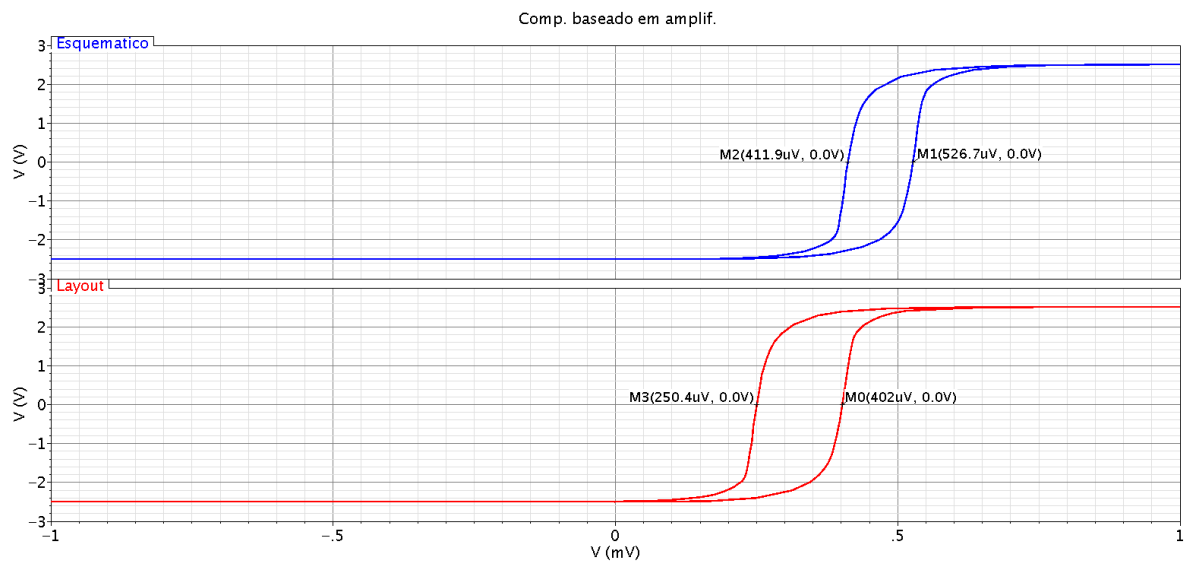
Para o comparador de três estágios temos uma largura de histerese de $307.9\mu\text{V}$ para a simulação do esquemático e $376.53\mu\text{V}$ para a simulação pós-*layout*. Para o comparador baseado em amplificador, foi medida uma largura de $114.8\mu\text{V}$ e $151.6\mu\text{V}$ para as mesmas simulações, respectivamente.

Vale destacar que esses resultados dependem da entrada aplicada e permitem apenas comparar o comportamento dinâmico das duas soluções. Mais uma vez, o comparador baseado em amplificador apresenta um comportamento melhor uma vez que a histerese dinâmica é considerada uma não idealidade.

Figura 17: Histerese



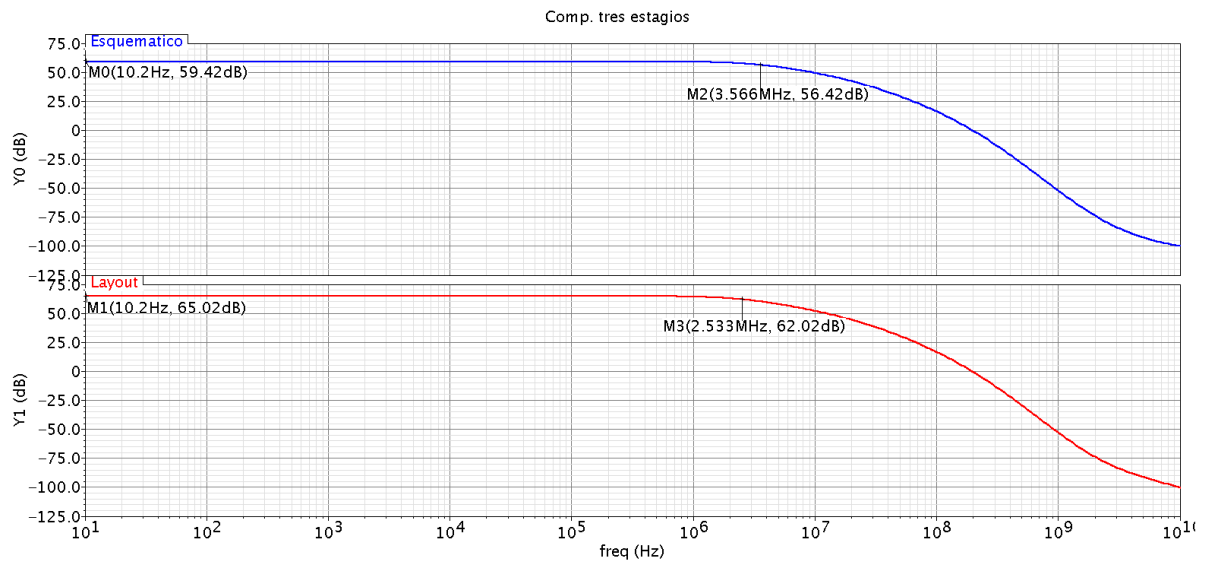
(a) Comparador de três estágios



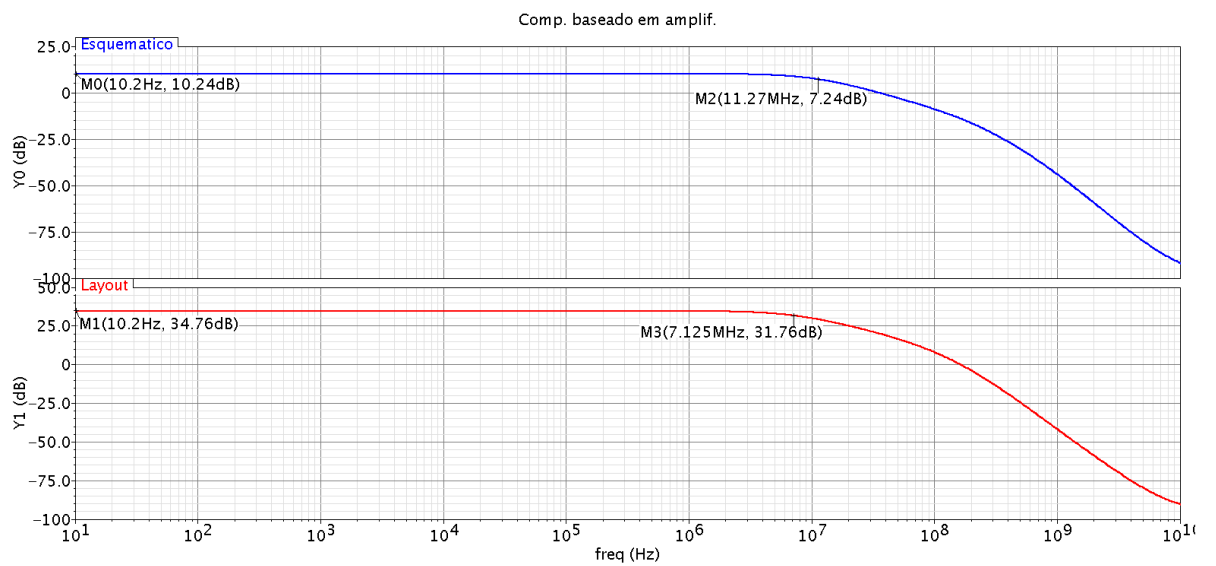
(b) Comparador baseado em amplificador

Também foi simulada a resposta em frequência dos circuitos através de uma simulação AC. Esta é ilustrada na Figura 18. As frequências de corte a 3 dB medidas foram 3.566MHz e 11.27MHz para as simulações dos circuitos, e 2.533MHz e 7.125MHz para as simulações pós-layout da primeira e da segunda topologia implementadas, respectivamente. Aqui também, o comparador baseado em amplificador apresenta uma banda maior.

Figura 18: Análise AC



(a) Comparador de três estágios



(b) Comparador baseado em amplificador

4.3 Análise de CORNERS

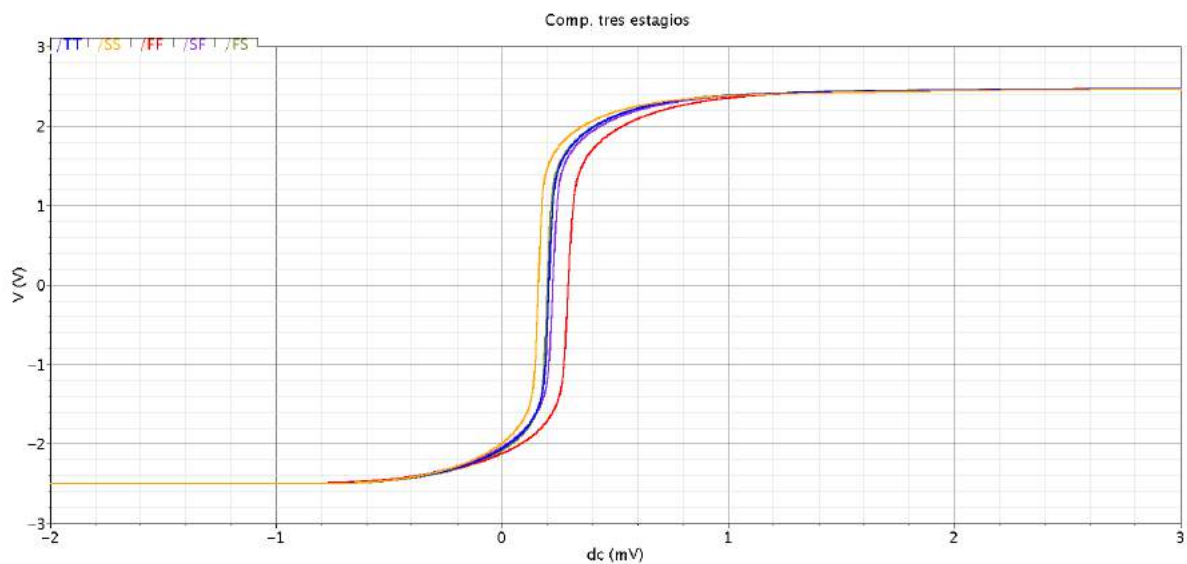
No processo de fabricação, as variáveis de processo estão sujeitas a certa tolerância, ou seja, flutuam aleatoriamente em torno de seus valores ideais. A análise de *corners* fornece uma maneira conveniente de medir o desempenho do circuito, ao fornecer resultados gradados a partir das variações mais extremas esperadas nos valores de processo, tensão e temperatura (PVT) (Cadence Design System, 2002).

Uma convenção de nomeação dos *corners* é usar designadores de duas letras, onde a primeira letra se refere aos transistores de canal N (NMOS) e a segunda letra refere-se aos transistores de canal P (PMOS). Existem três tipos: típico (*typical*), rápido (*fast*) e lento (*slow*). Os *corners* rápidos e lentos exibem mobilidades maiores e inferiores ao normal, respectivamente.

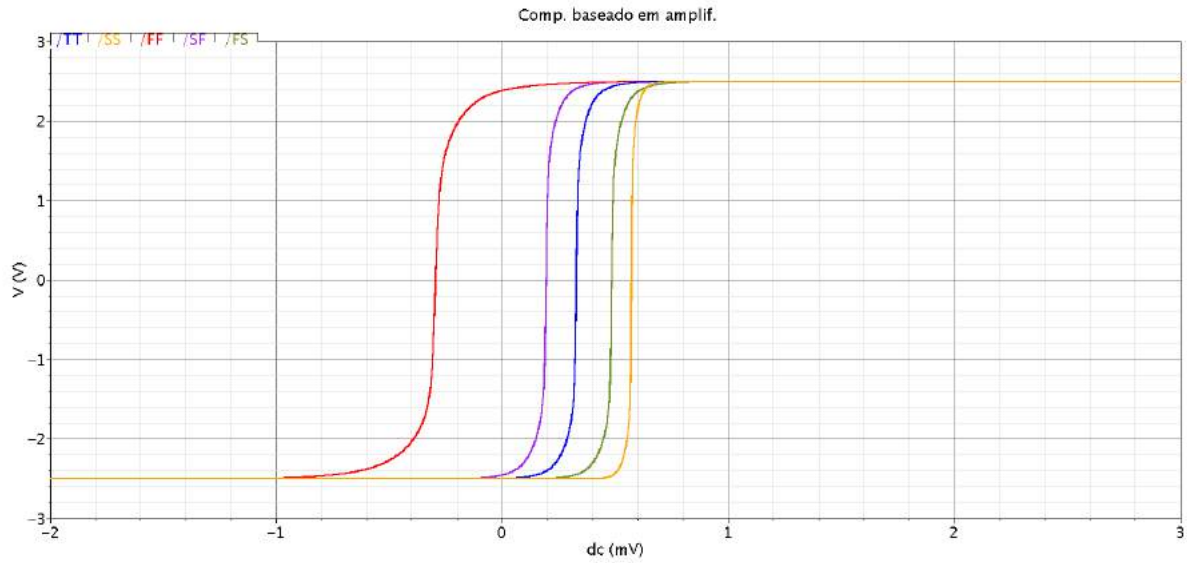
Portanto, há cinco possibilidades: *typical-typical* (TT), *fast-fast* (FF), *slow-slow* (SS), *fast-slow* (FS), *slow-fast* (SF). Por exemplo, um *corner* designado como FS denota NMOS rápidos e PMOS lentos.

As figuras 19 e 20 mostram os resultados das simulações DC e TRAN, respectivamente, dos comparadores levando em consideração essas as situações extremas.

Figura 19: Análise DC – *Corners*



(a) Comparador de três estágios

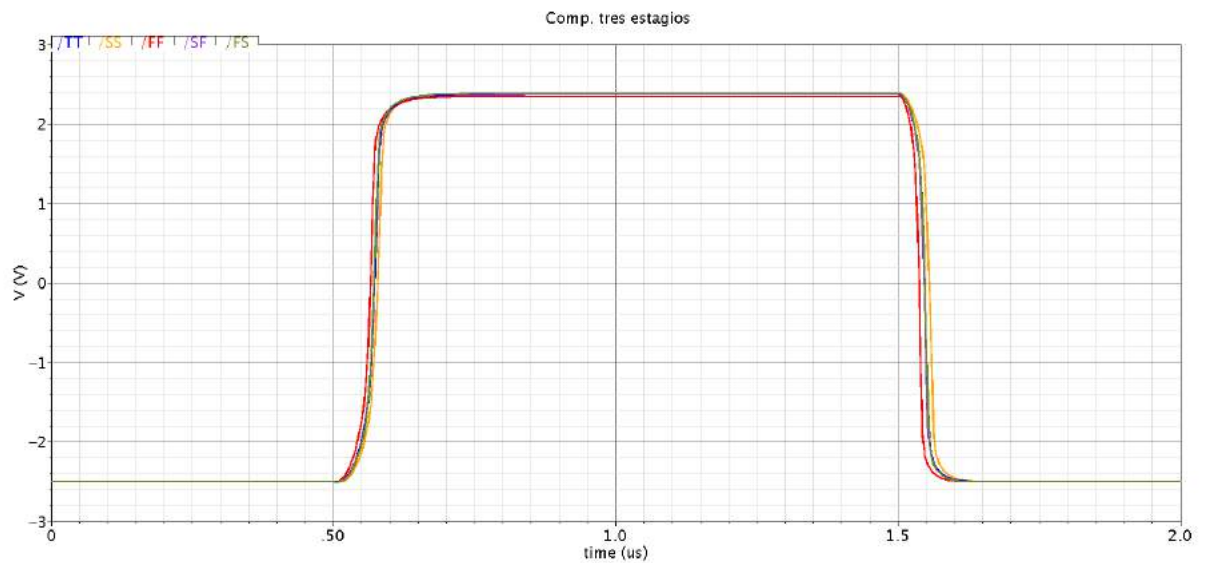


(b) Comparador baseado em amplificador

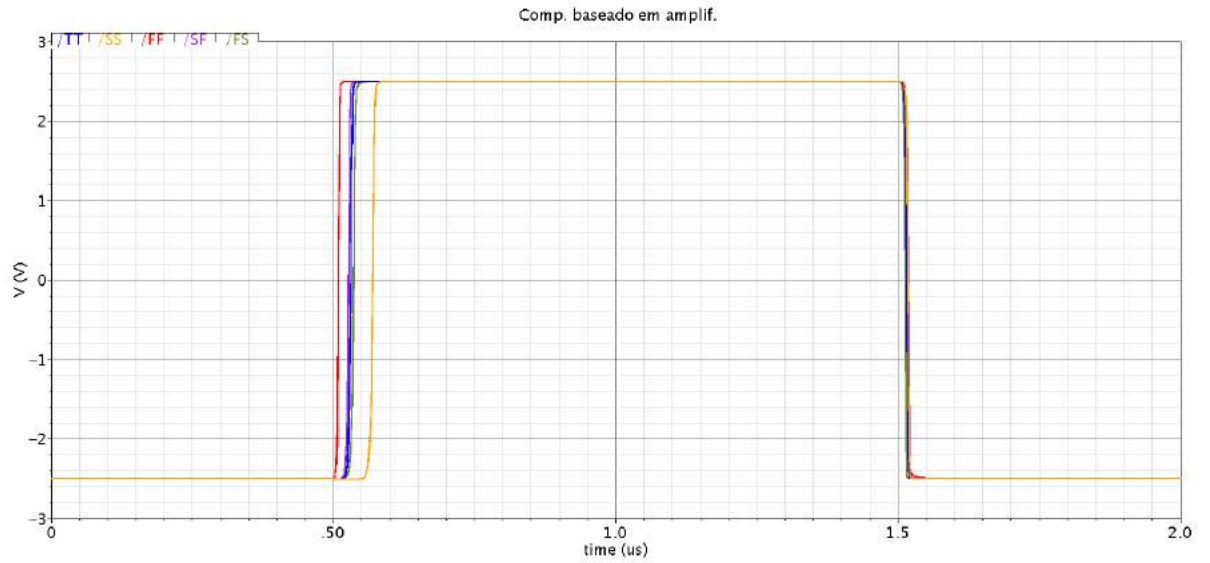
Os valores de tensão de offset obtidos para as condições SS, FF, SF e FS, para a primeira topologia são $160.6\mu\text{V}$, $292.1\mu\text{V}$, $224.3\mu\text{V}$ e $200.2\mu\text{V}$, respectivamente. Para a segunda topologia, temos $571.6\mu\text{V}$, $-294.6\mu\text{V}$, $194.4\mu\text{V}$ e $484.5\mu\text{V}$, na mesma sequência.

A resolução também foi medida, resultando em $30.1\mu\text{V}$ e $5\mu\text{V}$ para o caso SS, $40.8\mu\text{V}$ e $28.7\mu\text{V}$ para o caso FF, $36.1\mu\text{V}$ e $11.8\mu\text{V}$ para SF e $31.2\mu\text{V}$ e $10.7\mu\text{V}$ para FS na primeira e segunda topologia, respectivamente.

Figura 20: Análise transiente – Corners



(a) Comparador de três estágios



(b) Comparador baseado em amplificador

Para o comparador de três estágios, temos os seguintes atrasos de propagação: 65.4ns, 49.85ns, 58.2ns, 58.1ns e para o comparador baseado em amplificador, 22.1ns, 42.65ns, 11.7ns, 21.75ns, 23.15ns, ambos para a sequência SS, FF, SF, FS.

A tabela 8 expõe os resultados obtidos acima, comparando-os com as especificações do projeto expostos na seção 3.1.

Tabela 8: Resultado Análises *Corners*

Comp. três estágios						
Especificado		TT	SS	FF	SF	FS
Tensão de offset (μV)	< 5mV	207.1	160.6	292.1	224.3	200.2
Resolução (μV)	< 5mV	32.9	30.1	40.8	36.1	31.2
Atraso de propagação (ns)	< 125 ns	58.55	65.4	49.85	58.2	58.1
Comp. baseado em amplif						
Especificado		TT	SS	FF	SF	FS
Tensão de offset (μV)	< 5mV	327.5	571.6	-294.6	194.4	484.5
Resolução (μV)	< 5mV	11.2	5	28.7	11.8	10.7
Atraso de propagação (ns)	< 125 ns	22.1	42.65	11.7	21.75	23.15

É possível perceber que o comparador de três estágios é mais consistente nos resultados, ou seja, as flutuações não divergem tão longe do valor inicial quanto a outra topologia. Entretanto, ambas as topologias se comportam dentro dos valores especificados

para o projeto em todas as situações, o que significa que apresentarão um comportamento dentro dos resultados esperados após a fabricação.

Em suma, os resultados obtidos são apresentados na tabela a seguir, comparando apenas as simulações pós-*layout*, uma vez que elas fornecem o embasamento dos dados práticos esperados:

	Comp. de três estágios	Comp. baseado em amplif.
Número de transistores	17	10
Área	5578.6 μm^2	4162.7 μm^2
Tensão de offset	207.1 μV	327.5 μV
Resolução	32.9 μV	11.1 μV
Ganho	60.7 V/mV	180.2 V/mV
Atraso de propagação	58.5 ns	22.9 ns
Largura de histerese	376.53 μV	151.6 μV
Frequência de corte 3dB	2.534 MHz	7.123MHz
Potência dissipada	4.7mW	3.8mW

Tabela 9: Resumo dos resultados

5. CONSIDERAÇÕES FINAIS

Neste trabalho, foram comparadas duas topologias de comparador de tensão CMOS para utilização em um conversor analógico-digital rampa simples de 9 bits projetado atualmente no Laboratório de Instrumentação e Microeletrônica. Para este conversor, os requisitos de desempenho são tensão de alimentação 5V, tensão de offset menor que 5mV, devido ao passo de quantização e atraso de propagação menor que 125 μ s, em razão da taxa de amostragem.

Ambos os comparadores atendem os requisitos, entretanto, o comparador baseado em amplificadores se mostrou mais eficiente que o de três estágios. A partir da tabela 8, podemos perceber que apenas quanto à tensão de offset este apresenta pior desempenho. Na tabela citada, consideramos apenas as simulações pós-layout, uma vez que o intuito da comparação entre os resultados provenientes do circuito (esquemático) e do layout era observar a influência dos elementos parasitas que surgem após a extração e verificar a importância de técnicas de design que podem diminuir a intensidade com que estes afetam o comportamento do circuito. De fato, foi possível comprovar este efeito do layout nos resultados com o decorrer da pesquisa, pois algumas vezes se fez necessário refazê-lo, principalmente a utilização de trilhas de polissilício, que possuem alta resistência, e por esse motivo foram substituídas por trilhas de metal 2.

Outrossim, é preciso fazer dois comentários. Primeiramente, o projeto do comparador de três estágios segue as relações W/L sugeridas na referência (Baker, 2010), entretanto, para o comparador baseado em amplificador, o dimensionamento foi feito empiricamente, com o objetivo de se aperfeiçoar seu desempenho. Ademais, o comportamento do primeiro comparador é mais consistente quanto aos parâmetros PVT, como observado nas análises de corners, e provavelmente o dimensionamento tenha afetado o comportamento do circuito nessas condições extremas.

Além disso, alguns parâmetros importantes em projeto de comparadores não foram avaliados. Por exemplo, tanto para a taxa de rejeição de tensão de alimentação ou o ruído kickback, esperam-se resultados melhores no comparador de três estágios.

A pesquisa acerca desse tema proporciona um campo para desenvolvimento de possíveis trabalhos futuros, que envolvem técnicas de cancelamento de offset, redução de área ou histerese programável.

REFERÊNCIAS BIBLIOGRÁFICAS

- Allen, P., & Hilderg, D. (2002). *CMOS Analog Circuit Design* (2nd ed.). New York: Oxford University Press.
- Baker, R. J. (2010). *CMOS Circuit Design, Layout, and Simulation*. IEEE Press; Wiley. <https://doi.org/10.1002/9780470891179>
- Brito Bezerra, T. (2012). *Desenvolvimento de um Conversor A/D Integrador com Faixa de Entrada e Resolução Programável a Capacitor Chaveado*. Universidade Federal do Maranhão, São Luís.
- Cadence Design System. (2002). Cadence ® Advanced Analysis Tools User Guide. United States of America: Cadence Design System.
- Dhal, L. M., & Pradhan, A. (2013). *Study and Analysis of Different Types of Comparators Study and Analysis of Different Types*. National Institute of Technology.
- Kulkarni, V. B. (2005). *Low-voltage CMOS comparators with programmable hysteresis*. Master's Technical Report, Electrical and Computer New Mexico State University. Retrieved from http://ece.nmsu.edu/~pfurth/tech_reports/Comparators_With_Hysteresis_Kulkarni_2005.pdf
- Nanda, S. (2015). Design of Conventional three-stage CMOS comparator in 90-nm CMOS Technology and comparative analysis with its counterparts. In *International Conference on Smart Sensors and Systems* (pp. 1–6).
- Ndjountche, T. (2011). *CMOS Analog Integrated Circuits*. CRC Press. <https://doi.org/10.1201/b10943>
- Ritu, & Ahlawat, M. (2014). Low Power Comparator Design -A Review. *International Journal of Advances in Engineering Science*, 4(3), 27.
- Shar, A. (2007). *Design of a High-Speed CMOS Comparator*. Linköping Institute of Technology.
- Tang, H. (2012). *Advanced Analog Integrated Circuits*. Retrieved November 16, 2017, from http://www.d.umn.edu/~htang/ECE5211_doc_files/ECE5211_files/Chapter10.pdf